

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-030084

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H01L 27/146

(21)Application number : 05-195566

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 14.07.1993

(72)Inventor : ABE TSUTOMU

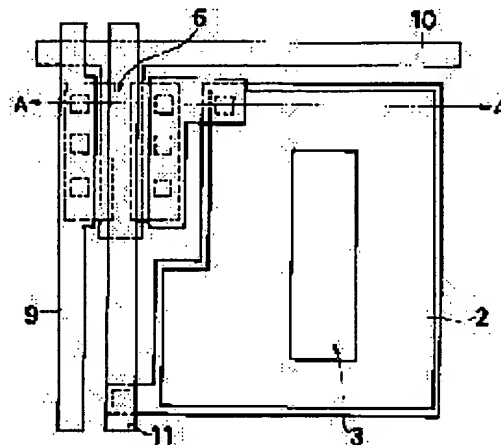
MIYAKE HIROYUKI

## (54) TWO-DIMENSIONAL CONTACT IMAGE SENSOR

### (57)Abstract:

**PURPOSE:** To provide the title two-dimensional contact image sensor having excellent switching characteristics of a thin film transistor while cutting down power consumption capable of enhancing the sensitivity thereof without deteriorating the resolving power at all.

**CONSTITUTION:** The title two-dimensional contact image sensor share the wiring for the light-shielding layer in the channel region 2 of a thin film transistor 6 on a switching element and the bias wire 11 feeding constant voltage to a photodetecting element 2. Through these procedures, the wiring for the light-shielding layer can be used both for the bias wire 11 thereby enabling the photodetecting area to be widened so that the sensitivity may be enhanced without deteriorating the resolving power at all while wiring resistance may be lowered using aluminum for the bias wire 11, for cutting down the power consumption further lessening the unfavorable effect on a gate pulse by reducing the capacity at the intersection of a gate wire 10 with the bias wire 11 thereby enabling the excellent switching characteristics to be displayed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**\* NOTICES \***

**Japan Patent Office is not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Two-dimensional adhesion type image sensors to which the pixel possessing the TFT as a photo detector and a switching element linked to the aforementioned photo detector is characterized by carrying out the bias line which supplies a fixed voltage at a wiring and the aforementioned photo detector of the shading layer which shades the channel field of the aforementioned TFT on a substrate in the two-dimensional adhesion type image sensors arranged in the shape of [ two-dimensional ] a matrix in common.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention relates to the two-dimensional adhesion type image sensors used for picture input devices, such as facsimile, a scanner, and an optical character reader, especially, photographic sensitivity is raised, power consumption is reduced and a switching characteristic is related with good two-dimensional adhesion type image sensors.

[0002]

[Description of the Prior Art] There was a double sensor, such as carrying out image formation of the double [ top / sensor ] erect image, and reading it using the reduced type image sensors which are made to carry out reduction image formation of the manuscript image on IC sensor, and read it, and the 1-dimensional image sensors which arranged photo detectors, such as photo diode, in the shape of / of the same grade as manuscript width of face / a long picture, using IC sensor which formed CCD (charge-coupled device) sensor or MOS type sensor in line-like 1 dimension, etc. in the conventional picture image reader.

[0003] However, in order that reduced type image sensors might make even the chip length of IC sensor carry out reduction image formation of the manuscript width of face, the long optical path length is required for them, and they had problems, such as aberration of the lens circumference section. Moreover, although the optical path length became short as compared with the reduction sensor, the \*\*\*\* sensor has the expensive optical fiber lens array prepared in order to carry out image formation of the \*\*\*\* erect image, and had problems, such as chromatic aberration, further.

[0004] Then, full adhesion type 1-dimensional image sensors are known as what solves the above-mentioned problem now. Drawing 7 is type-section explanatory drawing of 1 dimension full adhesion type image sensors. In addition, below, 1 dimension full adhesion type image sensors will only be called 1-dimensional contact type image sensor. On the transparent substrate 1, two or more photo detectors 2 which are photoelectrical transducers are arranged in the shape of a long picture by the same length as manuscript width of face, the photo-detector array is formed, the lighting section 3 is formed between each photo detector 2, it becomes the configuration that the whole was covered by the transparent protective coat 4, and a 1-dimensional contact type image sensor is \*\*.

[0005] In the 1-dimensional contact type image sensor of the above-mentioned configuration, it is reflected in respect of the manuscript 5 set on the transparent protective coat 4, and the reflected light according to the light and darkness of a manuscript carries out incidence to a photo detector 2, a photocurrent occurs, and the light which carried out incidence through the lighting section 3 from the rear face of a substrate 1 reads this photocurrent for every photo detector, and acquires a picture signal.

[0006] And the reading operation (scanning) of the two-dimensional picture image by 1-dimensional image sensors is performed by moving either a manuscript or a 1-dimensional sensor in the orientation of horizontal scanning, and the orientation (the orientation of vertical scanning) which goes direct relatively by the mechanical means at the same time it scans electrically in the reading orientation (the orientation of horizontal scanning) of a 1-dimensional sensor. Generally the type which conveys a manuscript is used for facsimile etc., and the type to which a sensor unit is moved is used for the scanner etc.

[0007] However, since the optical system which a manuscript is limited to a sheet-like thing, is not suitable for applying stuck type image sensors since the configuration of the sensor section is limited while the whole equipment becomes large-sized by the type to which a sensor unit is moved, and both leads a highly efficient mechanical scanning means and irradiation light to the manuscript side on the top of a sensor was required of the type which conveys a manuscript, there was a problem that a cost will become high.

[0008] Furthermore, since there is a problem to which resolution falls by the reading remnants of a signal charge, fall of an optical response characteristic, etc. in order to repeat and use the same sensor for every line in a 1-dimensional contact type image sensor and it corresponds to the scan speed whose storage time is one line, when reading at high

speed, the signal charge became small, and there was a problem that an S/N ratio will fall.

[0009] Then, the two-dimensional adhesion type image sensors which are shown in drawing 8 are proposed as what solves the problem of the above-mentioned 1-dimensional contact type image sensor. Drawing 8 is a representative circuit schematic of two-dimensional adhesion type image sensors. Two-dimensional adhesion type image sensors consist of light-receiving area 7' which consists of the pixel 7 arranged by two-dimensional [ of a line writing direction and the orientation of a train ], the data line 9 which scans alternatively the gate line 10 and each train which scan each line alternatively, a shift register 14 which the gate line 10 connects, and an analog multiplexer 13 which the data line 9 connects, as shown in drawing 8.

[0010] Next, the 1-pixel configuration of two-dimensional adhesion type image sensors is explained using the drawing 9 and the drawing 10. Drawing 9 is 1-pixel flat-surface explanatory drawing of two-dimensional adhesion type image sensors, and drawing 10 is cross-section explanatory drawing of the B-B' fraction of drawing 9. The photo detector 2 which is the photoelectrical transducer formed on the substrate 1 as each pixel is shown in the drawing 9 and the drawing 10. It consists of TFT (TFT) 6 which is a switching element, and the lighting section 3. around a pixel In the gate line 10 which connects with the gate electrode 18 at a line writing direction, the bias line 11 linked to the data line 9 connected to a source electrode in the orientation of a train, and a photo detector, and also the orientation of a train, the semiconductor barrier layer (channel field 20') of the upper part of the gate electrode 18 of TFT The wiring of the wrap shading layer 12 is formed. Here, the bias line 11 supplies bias voltage to the metal electrode 15 of the lower part of a photo detector 2.

[0011] And it sets to the two-dimensional adhesion type image sensors of the above-mentioned configuration. The light which carried out incidence through the lighting section 3 from the background of a substrate 1 It is reflected in respect of a manuscript, reach the light-receiving section of a photo detector 2, and a photocurrent occurs by the reflected light according to the light and darkness of a manuscript here. The charge corresponding to the generated photocurrent is accumulated at the parasitic capacitance of a photo detector etc., transmits ON / charge accumulated more off of TFT 6, outputs as an electrical signal, and reads a picture signal.

[0012] Here, the shading layer 12 consists of aluminum (aluminum), and in order to prevent light's carrying out incidence to the semiconductor barrier layer 20 of TFT, and starting a photo electric translation, it is formed in the upper part of the semiconductor barrier layer 20 so that the semiconductor barrier layer 20 may be covered. In addition, as for the shading layer 12, it is common to connect with fixed potential, for example, grand (GND) level.

[0013] By the way, although the pixel pitch of the orientation of x (line) and the orientation of y (train) will be determined and pixel area will be limited in two-dimensional adhesion type image sensors when the resolution which it is going to realize is set up, all the above-mentioned components must be formed into a pixel, and in order to make photographic sensitivity high, it is necessary to raise a numerical aperture (light-receiving area in pixel area comparatively). For that purpose, although it is possible for it to be necessary to make area non-receiving light into the minimum, and to make it small if the lighting section 3 for a lighting makes the light source bright, TFT 6 and each wiring fraction are difficult for reducing, since it is restricted by device properties (for example, resistance at the time of ON of TFT, each wiring resistance, etc.), and the process rule.

[0014] On the other hand, as conventional two-dimensional adhesion type image sensors, there was also a thing of a configuration as shown in the drawing 11 and the drawing 12. Drawing 11 is flat-surface explanatory drawing of another conventional two-dimensional adhesion type image sensors, and drawing 12 is cross-section explanatory drawing of the C-C' fraction of drawing 11. The two-dimensional adhesion type image sensors shown in drawing 11 form it as a common common electrode for every train rather than form the metal electrode 15 of a photo detector 2 individually for every pixel. Thus, when a metal electrode 15 was used as a common electrode, the bias line of the photo-detector upper part became unnecessary, and the manufacture technique was easy. In addition, there is JP,4-309059,A as technical reference relevant to above-mentioned view 11 and the drawing 12.

[0015]

[Problem(s) to be Solved by the Invention] however, in the two-dimensional adhesion type image sensors using the above-mentioned conventional individual bias electrode Since it is difficult for TFT, the data line, a gate line, a bias line, and the lighting section to be parts for a non-photoelectrical transducer, and to reduce a part for this non-photoelectrical transducer within 1 pixel, If area of a photoelectrical transducer is enlarged in order for the area which a non-photoelectrical transducer occupies in a pixel to become quite large, therefore for the area of a photoelectrical transducer to become small, and for there to be a trouble where the photographic sensitivity of image sensors falls and to raise photographic sensitivity The area of 1 pixel became large and there was a trouble where resolution fell.

[0016] moreover, in the two-dimensional adhesion type image sensors using the conventional common electrode shown in the drawing 11 and the drawing 12 Since the common electrode of a photo detector is formed with the large chromium (Cr) of sheet resistance, Since power consumption becomes large, and it is further formed so that a gate line and the common electrode of the photo detector which changes from chromium (Cr) to the upper part of the gate line of

TFT through a thin insulating layer may cross at right angles, The influence of capacity became large, the wave of a gate pulse collapsed, and there was a trouble where the switching characteristic of TFT fell so that capacity arose in the intersection of a gate line and a common electrode in each pixel and it separated from the dispatch section of a gate pulse.

[0017] In view of the above-mentioned actual condition, it succeeded in this invention, it raises photographic sensitivity, without reducing resolution, it is small and power consumption aims at the switching characteristic of TFT offering good two-dimensional adhesion type image sensors.

[0018]

[Means for Solving the Problem] this invention for solving the trouble of the above-mentioned conventional example is characterized by the pixel possessing the TFT as a photo detector and a switching element linked to the aforementioned photo detector carrying out the bias line which supplies a fixed voltage at a wiring and the aforementioned photo detector of the shading layer which shades the channel field of the aforementioned TFT on a substrate in the two-dimensional adhesion type image sensors arranged in the shape of [ two-dimensional ] a matrix in common.

[0019]

[Function] Since it is considering as the two-dimensional adhesion type image sensors which carried out the wiring of a shading layer and the bias line of a photo detector which shade the channel field of TFT in common according to this invention Area of a photoelectrical transducer is enlarged, without becoming the structure which forms a bias line in the upper part of TFT, and expanding pixel area. Since photographic sensitivity can be raised, without reducing resolution and distance of the perpendicular direction of a bias line and the gate line of TFT can be enlarged, The capacity formed in the intersection of a bias line and a gate line becomes small. Power consumption can be reduced, if influence on a gate pulse can be made small, the switching characteristic of TFT can be raised and a bias line is further formed with the low aluminum of sheet resistance.

[0020]

[Example] It explains, referring to a drawing about one example of this invention. The fundamental configuration of the two-dimensional adhesion type image sensors concerning one example of this invention is the same as the configuration of the conventional two-dimensional adhesion type image sensors shown in drawing 8 . That is, the image sensors of this example consist of the data line 9 which scans alternatively light-receiving area 7' which consists of the pixel 7 arranged in the shape of [ of a line writing direction and the orientation of a train ] a two-dimensional matrix, and the gate line 10 and each train which scan each line alternatively, further, the gate line 10 is connected to a shift register 14, and the data line 9 is connected to the analog multiplexer 13.

[0021] Next, the configuration of each pixel is explained. Drawing 1 is 1-pixel flat-surface explanatory drawing of the two-dimensional adhesion type image sensors concerning one example of this invention, and drawing 2 is cross-section explanatory drawing of the A-A' fraction of drawing 1 . The photo detector 2 formed on the transparent substrates 1, such as glass, as each pixel was shown in the drawing 1 and the drawing 2 , It consists of TFT (TFT) 6 and the lighting section 3 as a switching element. The gate electrode of TFT 6 is connected to the gate line 10 for every line. A source electrode is connected to the data line 9 for every train, respectively, a photo detector 2 is connected to the drain electrode of TFT 6, and the metal electrode 15 of a photo detector 2 is further connected to the bias line 11 of the shading layer of TFT 6 and combination in every train as a characteristic feature fraction of this example.

[0022] Here, the concrete configuration of a photo detector 2 and TFT 6 is explained using drawing 2 . The photo detector 2 constitutes the sandwiched type in which split formation is carried out for every photo detector, and the metal electrode 15 as a lower electrode which consists of chromium (Cr) on a substrate 1, the photoconduction layer 16 which consists of a hydrogenation amorphous silicon (a-Si:H), and the transparent electrode 17 which consists of the indium oxide and tin (ITO) by which split formation was carried out similarly carry out a laminating one by one. That is, split formation of a metal electrode 15, the photoconduction layer 16, and the transparent electrode 17 is carried out for every pixel.

[0023] TFT (TFT) 6 So that the gate electrode 18 which consists of chromium (Cr) on a substrate 1, the gate insulating layer 19 which consists of a silicon nitride (SiN<sub>x</sub>), the semiconductor barrier layer 20 which consists of a-Si:H, and the gate electrode 18 may be countered So that a part of top insulating layer 21 which consists of prepared SiN<sub>x</sub>, semiconductor barrier layer 20, and top insulating layer 21 may be covered Formed n<sup>+</sup> hydrogenation amorphous silicon ( ) [ n<sup>+</sup> ] the ohmic-contact layer 22 which consists of a-Si:H, the source electrode 23 which consists of Cr and the drain electrode 24, the layer insulation layer 25 which consists of a polyimide on it, and the wiring layer 26 which consists of aluminum (aluminum) on it further -- especially The bias line 11 which serves as a shading layer in the upper part of the top insulating layer 21 serves as the reverse stagger type TFT by which the laminating was carried out one by one.

[0024] The bias line 11 which is the characteristic feature fraction of this example is formed in the orientation of a train at the upper part of the top insulating layer 21 of TFT 6, and functions also as a shading layer for preventing light's

entering into channel field 20' of the gate electrode 18 upper part, and causing a photo-electric-translation operation within the semiconductor barrier layer 20. Thereby, it is enabled to carry out the wiring and bias line of a shading layer which were formed separately in common, to cut down one metal line of the orientation of a train in a pixel, and to take a large area of a light-receiving fraction conventionally.

[0025] For example, a minimum line width can expand the area of a photo detector by abbreviation 20micrometerxYmicrometer space in 1 pixel, if 10 micrometers and the space between the minimum lines are the process rules which are 10 micrometers and set pitch width of face of the orientation of a train of a pixel to Y micrometers, using aluminum (aluminum) as a wiring material.

[0026] Moreover, the power consumption for the bias voltage impression in image sensors can be reduced by forming the bias line 11 with low aluminum of sheet resistance compared with Cr. Furthermore, in order to supply a voltage from the bias line 11 formed in the upper part as an individual electrode which carried out split formation of the metal electrode 15 for every pixel, In the intersection with the gate line 8 linked to the gate electrode 8 of the bias line 11 and TFT 6 How many layers of that layer will be formed [ polyimide / SiNx, ] between the gate line 8 and the bias line 11, capacity in an intersection can be made small, and influence on the gate pulse which spreads the gate line 8 can be made small.

[0027] Next, the circuit arrangement and the drive technique of two-dimensional adhesion type image sensors of this example are explained using the drawing 3 and the drawing 4 . Drawing 3 is a representative circuit schematic of two-dimensional image sensors, and drawing 4 is a representative circuit schematic of 1 pixel. As shown in the drawing 3 and the drawing 4 , a pixel 7 is arranged in the shape of [ of a m line xn train ] a matrix, a light-receiving area is formed, and the photo detector 2 in each pixel is expressed by photo diodes  $P_i$  and  $j$  ( $i=1-m, j=1-n$ ) and the parasitic capacitance in equivalent. Moreover, it connects with the drain electrode of TFT  $T_i$  and  $j$  ( $i=1-m, j=1-n$ ), and each photo detector 2 is TFT  $T_i$  and  $j$ . A source electrode is connected to the load capacity  $CL_j$  ( $j=1-n$ ) through the data line 9, and the data line 9 is further connected to the analog multiplexer 13. Moreover, the bias line 11 is minded [ each ] and it is common bias voltage  $V_B$ . It is impressed and is bias voltage  $V_B$  at this example. It is referred to as 5V.

[0028] And each TFT  $T_i$  and  $j$  The shift register 14 made to generate gate pulse  $\phi$  through the common gate line 10 for every line is connected to the gate electrode. And gate pulse  $\phi_{ii}$  All of the TFT of the  $i$ -th line of image sensors are turned on simultaneously, and it transmits the charge accumulated at the parasitic capacitance etc. to the load capacity  $CL_j$ .

[0029] And it is a photocurrent  $i_p$  as shown in drawing 4 . The photoelectrical load generated in each photo detector The parasitic capacitance CPD of a fixed time photo detector, Addition capacity CADD And after accumulating at the overlap capacity CGD between the drain gates of TFT, TFT  $T_i$  and  $j$  It uses as a switch for a charge transfer. Voltage  $V_G$  The transfer store of the charge of the specific line to which gate pulse  $\phi$  was impressed is carried out through the data line 9 at the load capacity  $CL_j$ , and it is voltage value  $V_L$  of the data line 9 by the analog multiplexer 13. It reads one by one and a picture signal is outputted.

[0030] Here, the influence of the operation on the TFT by impressing 5V to the bias line 11 which served as the wiring (shading wiring) of a shading layer is explained using drawing 5 . ID of TFT [ in this example in drawing 5 ] -  $V_G$  It is a property view. Channel width uses the TFT 10-15 micrometers and whose overlap (lap of a gate electrode and a source drain) 180-200 micrometers and channel length are 2-4 micrometers. The drain and source current ID (ON state current) of the time of the shading wiring used as the bias line 11 being grounded about the case of gate-voltage  $V_G=5V$  and drain voltage  $V_D=(\text{voltage concerning drain electrode side})5V$  and the time of 5V being impressed to this shading wiring are compared. the case where the shading wiring is grounded as shown in drawing 5 -- the ON state current -- 1.0-1.5microA -- it is ( drawing 5 (a) ) -- a shading wiring --  $V_B$  -- when  $=5V$  are impressed, the way at the ON state current being 1.2-1.8microA ( drawing 5 (b) ) to the time of 5V impression is large about 20%

[0031] Similarly, when the shading wiring with which the drain and source current ID in  $V_G=-5V$  and  $V_D=5V$  (OFF state current) serve as the bias line 11 is grounded, the way at the time of 5V impression has become large about 20% with 0.4 - 0.6picoA ( drawing 5 (b) ) at 0.2 - 0.5picoA ( drawing 5 (a) ) and the shading wiring at the time of 5V impression.

[0032] Moreover, if it asks for the threshold voltage  $V_{th}$ , it will change from the graph of drawing 5 with 1.0-1.3V at the time of 1.2-1.5V, and shading wiring 5V impression at the time of a shading wiring grounding. However, in any [ at the time of a shading wiring grounding and 5V impression ] case, it becomes 6 figures, and, as for ON / off ratio, almost equivalent and sufficient ON / off ratio are obtained. Therefore, even if it forms in the channel upper part the bias line 11 which served as the shading wiring, a switching characteristic hardly changes and most influences of the drive on image sensors cannot be found.

[0033] Next, the manufacture technique of the two-dimensional adhesion type image sensors of this example is explained using drawing 6 . Drawing 6 (a) - (e) is process cross-section explanatory drawing showing the manufacture



technique of the two-dimensional adhesion type image sensors of this example. First, on the substrate 1, such as glass, chromium (Cr1) is \*\*\*\*ed by the about 750A thickness by the DC sputtering method, patterning is carried out by photo lithography and etching, and the gate electrode 18 of TFT is formed (refer to drawing 6 (a)).

[0034] And the silicon nitride (b-SiNx) as a gate insulating layer 19 is continuously \*\*\*\*ed by the about 3000A thickness after BHF processing and alkali cleaning and by the plasma CVD method, without not breaking the silicon nitride (t-SiNx) as a top insulating layer 21 by the about 500A thickness, but breaking a vacuum for the hydrogenation amorphous silicon (a-Si:H) as a semiconductor barrier layer 20 by the about 1500A thickness. And it is t-SiNx by the photo lithography and etching using rear-face exposure. Patterning is carried out and the top insulating layer 21 is formed (refer to drawing 6 (b)).

[0035] here -- b-SiNx the conditions which \*\*\*\* -- substrate temperature -- 300-400 degrees C and SiH4 NH3 gas pressure -- 0.1-0.5 -- Torr and SiH4 a quantity of gas flow -- 10-50 -- sccm and NH3 A quantity of gas flow is set to 100 - 300sccm, and RF power is set to 50-200W. the conditions which \*\*\*\* a-Si:H -- substrate temperature -- 200-300 degrees C and SiH4 gas pressure -- 0.1-0.5 -- Torr and SiH4 A quantity of gas flow is set to 100 - 300sccm, and RF power is set to 50-200W. t-SiNx the conditions which \*\*\*\* -- substrate temperature -- 200-300 degrees C and SiH4 NH3 gas pressure -- 0.1-0.5 -- Torr and SiH4 A quantity of gas flow is set to 10 - 50sccm, and RF power is set to 50-200W.

[0036] Next, n+a-Si:H as an ohmic-contact layer 22 is \*\*\*\*ed by the about 1000A thickness by P-CVD. The 2nd chromium (Cr2) layer which moreover serves as the source drain electrode of TFT and the metal electrode 15 of photo diode is \*\*\*\*ed by the about 1500A thickness by the DC magnetron spatter method. Furthermore, on it, a-Si:H used as the photoconduction layer 16 of photo diode is \*\*\*\*ed by the about 13000A thickness by P-CVD, and ITO which serves as a transparent electrode 17 on it is \*\*\*\*ed by the about 600A thickness by the DC magnetron spatter method. At this time, alkali cleaning is performed before each \*\*\*\*. And patterning of the ITO is carried out by photo lithography and etching, patterning of the a-Si:H is carried out by dry etching using the same resist pattern, and the transparent electrode 17 and the photoconduction layer 16 of photo diode are formed (refer to drawing 6 (c)).

[0037] Here, the 2nd chromium layer (Cr2) remains, without playing a role of a stopper and carrying out patterning at the time of the dry etching of a-Si:H. Moreover, in order that a side etch may go into a-Si:H greatly at the time of this dry etching, etching of ITO is again performed before resist sublation.

[0038] the conditions which \*\*\*\* the above-mentioned a-Si:H -- substrate temperature -- the gas pressure of 170-250 degrees C and SiH4 -- 0.3-0.7 -- Torr and SiH4 A quantity of gas flow is set to 150 - 300sccm, and RF power is set to 100-200W. Substrate temperature is a room temperature and the conditions which \*\*\*\* the above ITO are Ar and O2. Gas pressure is  $1.5 \times 10^{-3}$  Torr, Ar quantity of gas flow is 100 - 150sccm, and it is O2. A quantity of gas flow is 1 - 2sccm, and DC power sets to 200-400W.

[0039] And patterning of the 2nd chromium layer (Cr2) is carried out by photo lithography and etching, the metal electrode 15 of photo diode, the source electrode 23 of TFT, and the drain electrode 24 are formed, then n+a-Si:H is etched using the same resist pattern and the ohmic-contact layer 22 is formed. Furthermore, b-SiNx Patterning is carried out by photo lithography and etching, and the gate insulating layer 19 of TFT is formed (refer to drawing 6 (d)).

[0040] Next, a polyimide is applied by the about 11500A thickness so that the substrate 1 whole may be covered, opening of the contact hole is carried out by photo lithography and etching after prebaking, and the layer insulation layer 25 is formed. Then, in order to remove completely the polyimide which remained in the contact hole, Descum which it is and is exposed to a plasma is performed. And aluminum (aluminum) is \*\*\*\*ed by the thickness of about 15000A by the DC magnetron spatter method, patterning is carried out by photo lithography and etching, and each wiring layers, such as the data line 9 and the bias line 11 which serves as a wiring of a shading layer, are formed (refer to drawing 6 (e)).

[0041] Then, the \*\*\*\*\* layer which consists of a polyimide is formed so that the whole image sensors may be covered, a glass substrate, IC for a drive, etc. are mounted in a real wearing printed circuit board, wirebonding and an assembly are performed, and image sensors are formed.

[0042] It is effective in the ability to raise the photographic sensitivity of image sensors, without according to the two-dimensional adhesion type image sensors of this example, being able to carry out the bias line 11 of a photo detector 2 to a wiring of the shading layer of TFT 6 in common, being able to form greatly the area of the light-receiving fraction of the photo detector 2 occupied in 1 pixel since the bias line 11 is formed so that the upper part of channel field 20' of the semiconductor barrier layer 20 of TFT 6 may be covered, and reducing resolution.

[0043] Moreover, in the two-dimensional adhesion type image sensors of this example, since the parvus aluminum (aluminum) of sheet resistance is used as a material of the bias line 11, it is effective in power consumption of image sensors being made small.

[0044] Furthermore, since the metal electrode of a photo detector 2 is used as the individual electrode for every pixel,



the bias line 11 is formed in a management and it has connected with a metal electrode 15 Since it has the structure where two or more insulating layers etc. were prepared between the gate line 10 and the bias line 11, also in the intersection of the gate line 10 of TFT 6, and the bias line 11 The bad influence (bad influence that pulse shape collapses) to the gate pulse which capacity formed by the intersection can be made small, therefore spreads the gate line 10 is prevented, and it is effective in the switching characteristic of good TFT being realizable.

[0045]

[Effect of the Invention] Since it is considering as the two-dimensional adhesion type image sensors which carried out the wiring of a shading layer and the bias line of a photo detector which shade the channel field of TFT in common according to this invention Area of a photoelectrical transducer is enlarged, without becoming the structure which forms a bias line in the upper part of TFT, and expanding pixel area. Since it is effective in the ability to raise photographic sensitivity, without reducing resolution and distance of the perpendicular direction of a bias line and the gate line of TFT can be enlarged, The capacity formed in the intersection of a bias line and a gate line becomes small. It is effective in the ability to reduce power consumption, if it is effective in the ability to make influence on a gate pulse small and raise the switching characteristic of TFT and a bias line is further formed with the low aluminum of sheet resistance.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is 1-pixel flat-surface explanatory drawing of the two-dimensional adhesion type image sensors concerning one example of this invention.

[Drawing 2] It is cross-section explanatory drawing of the A-A' fraction of drawing 1.

[Drawing 3] It is the representative circuit schematic of the two-dimensional adhesion type image sensors of this example.

[Drawing 4] It is the representative circuit schematic of 1 pixel of the two-dimensional adhesion type image sensors of this example.

[Drawing 5] ID-VG of the TFT of the two-dimensional adhesion type image sensors of this example It is a property view.

[Drawing 6] It is process cross-section explanatory drawing showing the manufacture technique of the two-dimensional adhesion type image sensors of this example.

[Drawing 7] It is type-section explanatory drawing of the conventional 1-dimensional contact type image sensor.

[Drawing 8] It is the representative circuit schematic of two-dimensional adhesion type image sensors.

[Drawing 9] It is 1-pixel flat-surface explanatory drawing of the conventional two-dimensional adhesion type image sensors.

[Drawing 10] It is cross-section explanatory drawing of the B-B' fraction of drawing 9.

[Drawing 11] It is flat-surface explanatory drawing of another conventional two-dimensional adhesion type image sensors.

[Drawing 12] It is cross-section explanatory drawing of the C-C' fraction of drawing 11.

### [Description of Notations]

1 -- Substrate, 2 -- Photo detector, 3 -- Lighting section, 4 -- Transparent protective coat, [ -- TFT, / 7 -- Pixel, 9 -- Data line, ] 5 -- A manuscript, 6 [ -- Bias line, / 12 -- Shading layer, 13 -- Analog multiplexer, ] 10 -- A gate line, 11 [ 15 -- Metal electrode, 16 -- Photoconduction layer, ] 14 -- Shift register, [ -- Gate electrode, / 19 -- Gate insulating layer, ] 17 -- A transparent electrode, 18 [ 20' -- Channel field, 21 -- Top insulating layer, 22 / 24 -- Drain electrode, 25 -- Layer insulation layer, 26 -- Wiring layer / -- An ohmic-contact layer, 23 -- Source electrode, ] 20 -- Semiconductor barrier layer,

---

[Translation done.]

DIALOG(R) File 351:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

010202235    \*\*Image available\*\*  
WPI Acc No: 1995-103489/199514  
XRPX Acc No: N95-081600

**Contact-type two-dimensional image sensor - has common wiring for constant voltage bias line and thin-film transistor channel domain shading layer**

Patent Assignee: FUJI XEROX CO LTD (XERF )  
Number of Countries: 001    Number of Patents: 001  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7030084	A	19950131	JP 93195566	A	19930714	199514    B

Priority Applications (No Type Date): JP 93195566 A 19930714

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7030084	A		9	H01L-027/146	

Abstract (Basic): JP 7030084 A

The pixels (7) are provided with thin film transistors (6) as switching elements linked to a light receiving element and are arranged in a two-dimensional matrix on the substrate (1). The shaded layer which shades the channel domain of the thin film transistor and the bias line that supplies a constant voltage to the light receiving element share a common wiring circuit.

This layout enlarges the light receiving area by making the wiring of the shaded layer and bias line (11) serve a double purpose.

USE/ADVANTAGE - For facsimile appts., scanner, optical character reader, etc. Improved sensitivity without spoiling resolution.

特開平7-30084

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146		7210-4M	H 0 1 L 27/ 14	C

審査請求 未請求 請求項の数1 F D (全 9 頁)

(21) 出願番号 特願平5-195568  
(22) 出願日 平成5年(1993)7月14日

(71) 出願人 000005498  
富士ゼロックス株式会社  
東京都港区赤坂三丁目3番5号  
(72) 発明者 安部 勉  
神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内  
(72) 発明者 三宅 弘之  
神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内  
(74) 代理人 弁理士 阪本 清孝 (外1名)

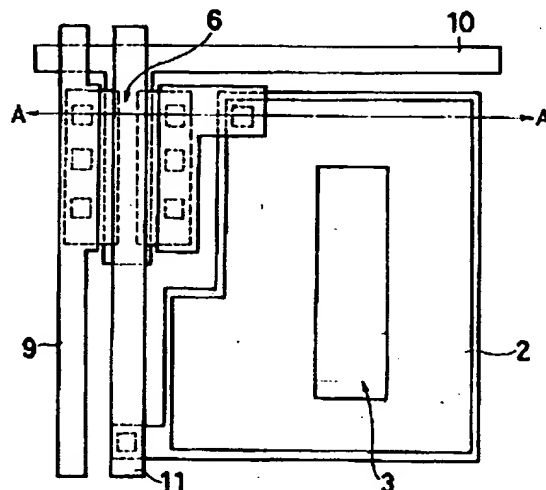
(54) 【発明の名称】 2次元密着型イメージセンサ

(57) 【要約】

【目的】 解像度を低下させることなく感度を向上させ、消費電力を小さくし、薄膜トランジスタのスイッチング特性が良好な2次元密着型イメージセンサを提供する。

【構成】 スwitchング素子としての薄膜トランジスタ6のチャネル領域20'を遮光する遮光層の配線と受光素子2に一定電圧を供給するバイアス線11とを共通にした2次元密着型イメージセンサである。

【効果】 遮光層の配線とバイアス線11とを兼用することで受光面積を広くできるので、解像度を損なうことなく感度を向上させ、バイアス線11をアルミニウムとすることで配線抵抗を小さくして消費電力を抑え、ゲート線10とバイアス線11との交差部の容量を小さくしてゲートパルスへの悪影響を小さくし、良好なスイッチング特性を得ることができる効果がある。



## 【特許請求の範囲】

【請求項1】 受光素子と、前記受光素子に接続するスイッチング素子としての薄膜トランジスタとを具備する画素が基板上に2次元のマトリクス状に配列された2次元密着型イメージセンサにおいて、前記薄膜トランジスタのチャネル領域を遮光する遮光層の配線と前記受光素子に一定電圧を供給するバイアス線とを共通にしたことを特徴とする2次元密着型イメージセンサ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ファクシミリ、スキャナ、光学式文字読取装置等の画像入力装置に用いられる2次元密着型イメージセンサに係り、特に、感度を向上させ、消費電力を低減し、スイッチング特性が良好な2次元密着型イメージセンサに関する。

【0002】

【従来の技術】従来の画像読取装置には、CCD（電荷結合素子）センサ或いはMOS型センサ等をライン状の1次元に形成したICセンサを用いて、ICセンサ上の原稿像を縮小結像させて読み取る縮小型イメージセンサや、原稿幅と同程度の長尺状にフォトダイオード等の受光素子を配列した1次元イメージセンサを用いて、センサ上に等倍正立像を結像させて読み取る等倍センサ等があった。

【0003】しかし、縮小型イメージセンサは、原稿幅をICセンサのチップ長にまで縮小結像させるため、長い光路長が必要であり、また、レンズ周辺部の収差等の問題があった。また、等倍センサは、縮小センサと比較すると光路長は短くなるが、等倍正立像を結像させるために設けられるオプティカルファイバーレンズアレイが高価であり、更に、色収差等の問題があった。

【0004】そこで、上記の問題を解決するものとして、現在、完全密着型の1次元イメージセンサが知られている。図7は、1次元完全密着型イメージセンサの模式断面説明図である。尚、以下では、1次元完全密着型イメージセンサを単に1次元密着型イメージセンサと呼ぶことにする。1次元密着型イメージセンサは、透明基板1上に光電変換部である受光素子2が複数個、原稿幅と同じ長さに長尺状に配列されて受光素子アレイが形成されており、各受光素子2の間には採光部3が形成され、全体が透明保護膜4で覆われた構成となっている。

【0005】上記構成の1次元密着型イメージセンサでは、基板1の裏面から採光部3を通して入射した光は、透明保護膜4上にセットされた原稿5の面で反射され、原稿の明暗に応じた反射光が受光素子2に入射して光電流が発生し、この光電流を受光素子毎に読み取って画像信号を得るようになっていた。

【0006】そして、1次元イメージセンサによる2次元画像の読み取り動作（走査）は、1次元センサの読み取り方向（主走査方向）に電氣的に走査すると同時に、

主走査方向と直行する方向（副走査方向）に、原稿又は1次元センサのいずれかを、機械的手段によって相対的に移動させることによって行われている。一般的に、原稿を搬送するタイプはファクシミリ等に用いられ、センサユニットを移動させるタイプはスキャナ等に用いられている。

【0007】しかし、原稿を搬送するタイプでは原稿がシート状のものに限定され、センサユニットを移動するタイプでは装置全体が大型になると共に、センサ部の形状が限定されるために密着型のイメージセンサを適用することに適しておらず、また、どちらも高性能の機械的走査手段と、照射光をセンサ上面の原稿面に導く光学系が必要であるためコストが高くなってしまいう問題があった。

【0008】更に、1次元密着型イメージセンサでは、同一のセンサをライン毎に繰り返して用いるため、信号電荷の読み残しや光応答特性の低下等によって解像度が低下してしまう問題があり、また、蓄積時間が1ラインの走査速度に対応しているため、高速度で読み取る場合には信号電荷が小さくなり、S/N比が低下してしまうという問題があった。

【0009】そこで、上記1次元密着型イメージセンサの問題を解決するものとして、例えば、図8に示すような2次元密着型イメージセンサが提案されている。図8は、2次元密着型イメージセンサの等価回路図である。2次元密着型イメージセンサは、図8に示すように、行方向と列方向の2次元に配列された画素7から成る受光エリア7'と、各行を選択的に走査するゲート線10及び各列を選択的に走査するデータ線9と、ゲート線10が接続するジブトレジスタ14と、データ線9が接続するアナログマルチプレクサ13とから構成されている。

【0010】次に、2次元密着型イメージセンサの1画素の構成について図9及び図10を用いて説明する。図9は、2次元密着型イメージセンサの1画素の平面説明図であり、図10は、図9のB-B'部分の断面説明図である。各画素は、図9及び図10に示すように、基板1上に形成された光電変換部である受光素子2と、スイッチング素子である薄膜トランジスタ（TFT）6と、採光部3とから構成されており、そして、画素の周囲には、行方向にゲート電極18に接続するゲート線10、列方向にソース電極に接続するデータ線9と受光素子に接続するバイアス線11、更に列方向に薄膜トランジスタのゲート電極18の上部の半導体活性層（チャネル領域20'）を覆う遮光層12の配線が形成されている。ここで、バイアス線11は、受光素子2の下部の金属電極15にバイアス電圧を供給するものである。

【0011】そして、上記構成の2次元密着型イメージセンサにおいては、基板1の裏側から採光部3を通して入射した光は、原稿面で反射されて受光素子2の受光部に達し、ここで原稿の明暗に応じた反射光によって光電

流が発生し、発生した光電流に対応した電荷が受光素子の寄生容量等に蓄積され、薄膜トランジスタ6のオン/オフにより蓄積された電荷を転送して電気信号として出力して画像信号を読み出されるようになっていた。

【0012】ここで、遮光層12は、アルミニウム(A1)から成り、薄膜トランジスタの半導体活性層20に光が入射して光電変換を起こすのを防ぐために、半導体活性層20の上部に、半導体活性層20を覆うように形成されるものである。尚、遮光層12は、一定電位、例えばグランド(GND)レベルに接続されているのが一般的である。

【0013】ところで、2次元密着型イメージセンサでは、実現しようとする解像度を設定すると、x(行)方向、y(列)方向の画素ピッチが決定され、画素面積が限定されることになるが、上記の構成要素を全て画素中に形成しなければならず、感度を高くするためには開口率(画素面積における受光面積の割合)を向上させる必要がある。そのためには、非受光面積を最小にする必要があり、照明用の採光部3は、光源を明るくすれば小さくすることが可能であるが、薄膜トランジスタ6や各配線部分は、デバイス特性(例えば、薄膜トランジスタのオン時の抵抗、各配線抵抗等)及びプロセスルールによって制限されるために縮小することは困難である。

【0014】一方、従来の2次元密着型イメージセンサとしては、図11及び図12に示すような構成のものもあった。図11は、別の従来の2次元密着型イメージセンサの平面説明図であり、図12は、図11のC-C'部分の断面説明図である。図11に示す2次元密着型イメージセンサは、受光素子2の金属電極15を画素毎に個別に形成するのではなく、列毎に共通の共通電極として形成しているものである。このように金属電極15を共通電極とした場合は、受光素子上部のバイアス線が不要になり、製造方法は容易であった。尚、上記図11及び図12に関連する技術文献として、特開平4-309059号公報がある。

【0015】

【発明が解決しようとする課題】しかしながら、上記従来の個別バイアス電極を用いた2次元密着型イメージセンサでは、1画素内で、薄膜トランジスタ、データ線、ゲート線、バイアス線及び採光部は非光電変換部分であって、この非光電変換部分を縮小するのが困難であるため、画素中で非光電変換部が占める面積がかなり大きくなり、従って光電変換部の面積が小さくなって、イメージセンサの感度が低下するという問題点があり、また、感度を向上させるために光電変換部の面積を大きくすると、1画素の面積が大きくなり、解像度が低下するという問題点があった。

【0016】また、図11及び図12に示した従来の共通電極を用いた2次元密着型イメージセンサでは、受光素子の共通電極はシート抵抗の大きいクロム(Cr)で

形成されているため、消費電力が大きくなり、更に、薄膜トランジスタのゲート線の上部に、薄い絶縁層を介してクロム(Cr)から成る受光素子の共通電極がゲート線と直交するように形成されているため、各画素においてゲート線と共通電極の交差部に容量が生じ、ゲートパルスの発信部から離れる程に、容量の影響が大きくなってゲートパルスの波形が崩れ、薄膜トランジスタのスイッチング特性が低下するという問題点があった。

【0017】本発明は上記実情に鑑みて為されたもので、解像度を低下させることなく感度を向上させ、消費電力が小さく、薄膜トランジスタのスイッチング特性が良好な2次元密着型イメージセンサを提供することを目的とする。

【0018】

【課題を解決するための手段】上記従来例の問題点を解決するための本発明は、受光素子と、前記受光素子に接続するスイッチング素子としての薄膜トランジスタとを見備する画素が基板上に2次元のマトリクス状に配列された2次元密着型イメージセンサにおいて、前記薄膜トランジスタのチャネル領域を遮光する遮光層の配線と前記受光素子に一定電圧を供給するバイアス線とを共通にしたことを特徴としている。

【0019】

【作用】本発明によれば、薄膜トランジスタのチャネル領域を遮光する遮光層の配線と受光素子のバイアス線とを共通にした2次元密着型イメージセンサとしているので、バイアス線を薄膜トランジスタの上部に形成する構造となり、画素面積を拡大すること無く光電変換部の面積を大きくして、解像度を低下させずに感度を向上させることができ、また、バイアス線と薄膜トランジスタのゲート線との垂直方向の距離を大きくできるため、バイアス線とゲート線との交差部において形成される容量が小さくなり、ゲートパルスへの影響を小さくして薄膜トランジスタのスイッチング特性を向上させることができ、更に、バイアス線をシート抵抗の低いアルミニウムで形成すれば、消費電力を低減することができる。

【0020】

【実施例】本発明の一実施例について図面を参照しながら説明する。本発明の一実施例に係る2次元密着型イメージセンサの基本的な構成は、図8に示した従来の2次元密着型イメージセンサの構成と同様である。すなわち、本実施例のイメージセンサは、行方向と列方向の2次元マトリクス状に配列された画素7から成る受光エリア7'と、各行を選択的に走査するゲート線10及び各列を選択的に走査するデータ線9から構成され、更に、ゲート線10はシフトレジスタ14に接続され、データ線9はアナログマルチプレクサ13に接続されている。

【0021】次に、各画素の構成について説明する。図1は、本発明の一実施例に係る2次元密着型イメージセンサの1画素の平面説明図であり、図2は、図1のA-

A' 部分の断面説明図である。各画素は、図1及び図2に示すように、ガラス等の透明な基板1上に形成された受光素子2と、スイッチング素子としての薄膜トランジスタ(TFT)6と、採光部3とから構成され、薄膜トランジスタ6のゲート電極は行毎にゲート線10に接続され、ソース電極は列毎にデータ線9にそれぞれ接続され、受光素子2は薄膜トランジスタ6のドレイン電極に接続され、更に、本実施例の特徴部分として受光素子2の金属電極15は列毎に薄膜トランジスタ6の遮光層と兼用のバイアス線11に接続されている。

【0022】ここで、受光素子2と薄膜トランジスタ6の具体的な構成について図2を用いて説明する。受光素子2は、各受光素子毎に分割形成され、基板1上にクロム(Cr)から成る下部電極としての金属電極15と、水素化アモルファスシリコン(a-Si:H)から成る光導電層16と、同様に分割形成された酸化インジウム・スズ(ITO)から成る透明電極17とが順次積層するサンドイッチ型を構成している。つまり、金属電極15、光導電層16及び透明電極17とが画素毎に分割形成されているものである。

【0023】薄膜トランジスタ(TFT)6は、基板1上にクロム(Cr)から成るゲート電極18、窒化シリコン(SiNx)から成るゲート絶縁層19、a-Si:Hから成る半導体活性層20、ゲート電極18に対向するよう設けられたSiNxから成るトップ絶縁層21、半導体活性層20及びトップ絶縁層21の一部を覆うように形成されたn+水素化アモルファスシリコン(n+ a-Si:H)から成るオーミックコンタクト層22、Crから成るソース電極23及びドレイン電極24、その上にポリイミドから成る層間絶縁層25、更にその上にアルミニウム(Al)から成る配線層26、特に、トップ絶縁層21の上部においては遮光層を兼ねるバイアス線11とが順次積層された逆スタガ型の薄膜トランジスタとなっている。

【0024】本実施例の特徴部分であるバイアス線11は、薄膜トランジスタ6のトップ絶縁層21の上部に列方向に形成され、半導体活性層20内で、ゲート電極18上部のチャネル領域20'に光が入り込んで光電変換作用を引き起こすのを防ぐための遮光層としても機能するようになっている。これにより、従来は別個に形成されていた遮光層の配線とバイアス線とを共通にして、画素中の列方向の金属線を1本削減して、受光部分の面積を大きく取ることが可能とするものである。

【0025】例えば、配線材料としてアルミニウム(Al)を用い、最小線幅が10 $\mu$ m、最小線間スペースが10 $\mu$ mのプロセスルールで、画素の列方向のピッチ幅をY $\mu$ mとすると、1画素内において約20 $\mu$ m $\times$ Y $\mu$ mのスペース分だけ受光素子の面積を拡大することができるものである。

【0026】また、バイアス線11をCrに比べてシー

ト抵抗の低いAlで形成することにより、イメージセンサにおけるバイアス電圧印加のための消費電力を低減することができるものである。更に、金属電極15を画素毎に分割形成した個別電極として、上部に形成されたバイアス線11から電圧を供給するようにしているため、バイアス線11と薄膜トランジスタ6のゲート電極8に接続するゲート線8との交差部では、ゲート線8とバイアス線11の間にSiNx、ポリイミド等の何層かの膜が形成されていることになり、交差部での容量を小さくすることができ、ゲート線8を伝播するゲートパルスへの影響を小さくすることができるものである。

【0027】次に、本実施例の2次元密着型イメージセンサの回路構成及び駆動方法について図3及び図4を使って説明する。図3は、2次元イメージセンサの等価回路図であり、図4は、1画素の等価回路図である。図3及び図4に示すように、受光エリアは、画素7がm行 $\times$ n列のマトリクス状に配置されて形成され、各画素中の受光素子2は、フォトダイオードPi,j (i=1 $\sim$ m, j=1 $\sim$ n)と寄生容量により等価的に表される。また、各受光素子2は薄膜トランジスタTi,j (i=1 $\sim$ m, j=1 $\sim$ n)のドレイン電極に接続され、薄膜トランジスタTi,jのソース電極はデータ線9を介して負荷容量CLj(j=1 $\sim$ n)に接続され、更に、データ線9はアナログマルチプレクサ13に接続されている。また、各受光素子にはバイアス線11を介して共通のバイアス電圧VBが印加されており、本実施例ではバイアス電圧VBを5Vとしている。

【0028】そして、各薄膜トランジスタTi,jのゲート電極には、行毎に共通のゲート線10を介してゲートパルス $\phi$ を発生させるシフトレジスタ14が接続されている。そして、ゲートパルス $\phi$ iによってイメージセンサのi行目の薄膜トランジスタが全て同時にオンとなり、寄生容量等に蓄積された電荷を負荷容量CLjに転送するようになっている。

【0029】そして、図4に示すように、光電流ipによって各受光素子に発生した光電荷は一定時間受光素子の寄生容量CPD、付加容量CADD及び薄膜トランジスタのドレイン・ゲート間のオーバーラップ容量CQDに蓄積された後、薄膜トランジスタTi,jを電荷転送用のスイッチとして用いて、電圧VGのゲートパルス $\phi$ が印加された特定行の電荷がデータ線9を介して負荷容量CLjに転送蓄積され、アナログマルチプレクサ13によってデータ線9の電圧値VLを順次読み取って、画像信号を出力するようになっている。

【0030】ここで、遮光層の配線(遮光配線)を兼ねたバイアス線11に5Vを印加することによる薄膜トランジスタの動作への影響について図5を使って説明する。図5は、本実施例における薄膜トランジスタのID-VG特性図である。チャネル幅が180 $\sim$ 200 $\mu$ m、チャネル長が10 $\sim$ 15 $\mu$ m、オーバーラップ(ゲート電極とソース・ドレインとの重なり)が2 $\sim$ 4 $\mu$ m



の薄膜トランジスタを用いて、ゲート電圧 $V_G = 5V$ 、ドレイン電圧 $V_D$ （ドレイン電極側に掛かる電圧） $= 5V$ の場合について、バイアス線11となる遮光配線が接地されている時と、この遮光配線に5Vが印加されている時とのドレイン・ソース電流 $I_D$ （オン電流）を比較する。図5に示すように、遮光配線が接地されている場合にはオン電流は $1.0 \sim 1.5 \mu A$ であり（図5

（a））、遮光配線に $V_B = 5V$ を印加した場合にはオン電流は $1.2 \sim 1.8 \mu A$ である（図5（b））から、5V印加時のほうが20%程度大きくなっている。

【0031】同様に、 $V_G = -5V$ 、 $V_D = 5V$ の場合のドレイン・ソース電流 $I_D$ （オフ電流）は、バイアス線11となる遮光配線が接地されている場合は $0.2 \sim 0.5 \text{ pA}$ （図5（a））、遮光配線に5V印加時は $0.4 \sim 0.6 \text{ pA}$ （図5（b））と、5V印加時のほうが20%程度大きくなっている。

【0032】また、図5のグラフから、しきい値電圧 $V_{th}$ を求めると、遮光配線接地時は $1.2 \sim 1.5V$ 、遮光配線5V印加時は $1.0 \sim 1.3V$ と変化している。しかし、オン/オフ比は、遮光配線接地時と5V印加時のいずれの場合も6桁となり、ほぼ同等で、十分なオン/オフ比が得られている。従って、遮光配線を兼ねたバイアス線11をチャネル上部に形成しても、スイッチング特性はほとんど変化せず、イメージセンサの駆動への影響はほとんど無いものである。

【0033】次に、本実施例の2次元密着型イメージセンサの製造方法について図6を使って説明する。図6（a）～（e）は、本実施例の2次元密着型イメージセンサの製造方法を示すプロセス断面説明図である。まず、ガラス等の基板1上に、クロム（Cr1）をDCスパッタリング法により750オングストローム程度の膜厚で着膜し、フォトリソグラフィ及びエッチングによりバターニングして薄膜トランジスタのゲート電極18を形成する（図6（a）参照）。

【0034】そして、BHF処理及びアルカリ洗浄後、プラズマCVD法によりゲート絶縁層19としての窒化シリコン（b-SiNx）を3000オングストローム程度の膜厚で、半導体活性層20としての水素化アモルファスシリコン（a-Si:H）を500オングストローム程度の膜厚で、トップ絶縁層21としての窒化シリコン（t-SiNx）を1500オングストローム程度の膜厚で真空を破らずに連続して着膜する。そして、裏面露光を用いたフォトリソグラフィ及びエッチングによりt-SiNxをバターニングしてトップ絶縁層21を形成する（図6（b）参照）。

【0035】ここで、b-SiNxを着膜する条件は、基板温度を $300 \sim 400^\circ C$ 、 $SiH_4$ と $NH_3$ のガス圧力を $0.1 \sim 0.5 \text{ Torr}$ 、 $SiH_4$ ガス流量を $10 \sim 50 \text{ sccm}$ 、 $NH_3$ ガス流量を $100 \sim 300 \text{ sccm}$ 、RFパワーを $50 \sim 200 W$ とする。a-Si:Hを着膜す

る条件は、基板温度を $200 \sim 300^\circ C$ 、 $SiH_4$ のガス圧力を $0.1 \sim 0.5 \text{ Torr}$ 、 $SiH_4$ のガス流量を $100 \sim 300 \text{ sccm}$ 、RFパワーを $50 \sim 200 W$ とする。t-SiNxを着膜する条件は、基板温度を $200 \sim 300^\circ C$ 、 $SiH_4$ と $NH_3$ のガス圧力を $0.1 \sim 0.5 \text{ Torr}$ 、 $SiH_4$ ガス流量を $10 \sim 50 \text{ sccm}$ 、RFパワーを $50 \sim 200 W$ とする。

【0036】次に、オーミックコンタクト層22としての $n^+ a-Si:H$ をP-CVD法により1000オングストローム程度の膜厚で着膜し、その上に、TFTのソース・ドレイン電極及びフォトダイオードの金属電極15となる第2のクロム（Cr2）層をDCマグネトロンスバック法により1500オングストローム程度の膜厚で着膜し、更にその上に、フォトダイオードの光導電層16となるa-Si:HをP-CVD法により1300オングストローム程度の膜厚で着膜し、その上に透明電極17となるITOをDCマグネトロンスバック法により600オングストローム程度の膜厚で着膜する。この時、それぞれの着膜の前にアルカリ洗浄を行う。そして、フォトリソグラフィ及びエッチングによりITOをバターニングし、同一のレジストパターンを使ってa-Si:Hをドライエッチングによりバターニングして、フォトダイオードの透明電極17と光導電層16を形成する（図6（c）参照）。

【0037】ここで、第2のクロム層（Cr2）は、a-Si:Hのドライエッチング時にストッパーとしての役割を果たし、バターニングされずに残る。また、このドライエッチング時にa-Si:Hにはサイドエッチが大きく入るため、レジスト剥離前に再度ITOのエッチングを行うものである。

【0038】上記a-Si:Hを着膜する条件は、基板温度を $170 \sim 250^\circ C$ 、 $SiH_4$ のガス圧力を $0.3 \sim 0.7 \text{ Torr}$ 、 $SiH_4$ のガス流量を $150 \sim 300 \text{ sccm}$ 、RFパワーを $100 \sim 200 W$ とする。上記ITOを着膜する条件は、基板温度が室温で、Arと $O_2$ のガス圧力が $1.5 \times 10^{-3} \text{ Torr}$ で、Arガス流量が $100 \sim 150 \text{ sccm}$ で、 $O_2$ ガス流量が $1 \sim 2 \text{ sccm}$ で、DCパワーが $200 \sim 400 W$ とする。

【0039】そして、第2のクロム層（Cr2）をフォトリソグラフィ及びエッチングによりバターニングして、フォトダイオードの金属電極15と、TFTのソース電極23、ドレイン電極24を形成し、続いて、同一のレジストパターンを用いて $n^+ a-Si:H$ をエッチングし、オーミックコンタクト層22を形成する。更に、b-SiNxをフォトリソグラフィ及びエッチングによりバターニングしてTFTのゲート絶縁層19を形成する（図6（d）参照）。

【0040】次に、基板1全体を覆うようにポリイミドを11500オングストローム程度の膜厚で塗布し、プリベーク後、フォトリソグラフィ及びエッチングによ

りコンタクトホールを開口して、層間絶縁層25を形成する。この後、コンタクトホールに残ったポリイミドを完全に除去するためにプラズマに晒すDescumを行う。そして、アルミニウム(A1)をDCマグネトロンスパッタ法により15000オングストローム程度の厚さで着膜し、フォトリソグラフィー及びエッチングによりパターンニングして、データ線9、遮光層の配線を兼ねるバイアス線11等の各配線層を形成する(図6(e)参照)。

【0041】その後、イメージセンサ全体を覆うようにポリイミドから成るバンプ層を形成し、実装用プリント基板にガラス基板、駆動用IC等を実装し、ワイヤボンディング、組み立てを行い、イメージセンサが形成されるものである。

【0042】本実施例の2次元密着型イメージセンサによれば、受光素子2のバイアス線11を、薄膜トランジスタ6の遮光層の配線と共通にして、バイアス線11を薄膜トランジスタ6の半導体活性層20のチャネル領域20'の上部を覆うように形成しているため、1画素中に占める受光素子2の受光部分の面積を大きく形成することができ、解像度を低下させることなくイメージセンサの感度を向上させることができる効果がある。

【0043】また、本実施例の2次元密着型イメージセンサでは、バイアス線11の材料としてシート抵抗の小さいアルミニウム(A1)を用いているため、イメージセンサの消費電力が小さくできる効果がある。

【0044】更に、受光素子2の金属電極を画素毎の個別電極とし、上層部にバイアス線11を形成して、金属電極15と接続しているため、薄膜トランジスタ6のゲート線10とバイアス線11との交差部においても、ゲート線10とバイアス線11との間に複数の絶縁層等が設けられた構造となっているため、交差部で形成される容量を小さくでき、従ってゲート線10を伝播するゲートパルスへの悪影響(パルス波形が崩れるという悪影響)を防ぎ、良好な薄膜トランジスタのスイッチング特性を実現することができる効果がある。

【0045】

【発明の効果】本発明によれば、薄膜トランジスタのチャネル領域を遮光する遮光層の配線と受光素子のバイアス線とを共通にした2次元密着型イメージセンサとして、バイアス線を薄膜トランジスタの上部に形成する構造となり、画素面積を拡大することなく光電変換部の面積を大きくして、解像度を低下させずに感度を向

上させることができる効果があり、また、バイアス線と薄膜トランジスタのゲート線との垂直方向の距離を大きくできるため、バイアス線とゲート線との交差部において形成される容量が小さくなり、ゲートパルスへの影響を小さくして薄膜トランジスタのスイッチング特性を向上させることができる効果があり、更に、バイアス線をシート抵抗の低いアルミニウムで形成すれば、消費電力を低減することができる効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る2次元密着型イメージセンサの1画素の平面説明図である。

【図2】 図1のA-A'部分の断面説明図である。

【図3】 本実施例の2次元密着型イメージセンサの等価回路図である。

【図4】 本実施例の2次元密着型イメージセンサの1画素の等価回路図である。

【図5】 本実施例の2次元密着型イメージセンサの薄膜トランジスタのID-VG特性図である。

【図6】 本実施例の2次元密着型イメージセンサの製造方法を示すプロセス断面説明図である。

【図7】 従来の1次元密着型イメージセンサの模式断面説明図である。

【図8】 2次元密着型イメージセンサの等価回路図である。

【図9】 従来の2次元密着型イメージセンサの1画素の平面説明図である。

【図10】 図9のB-B'部分の断面説明図である。

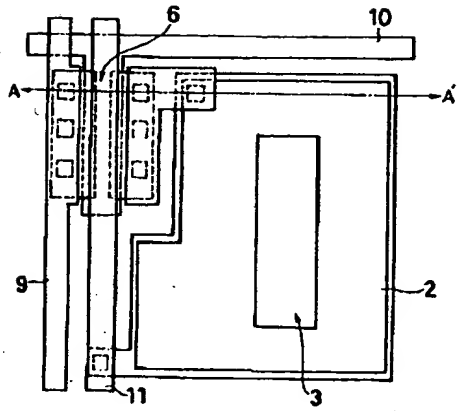
【図11】 別の従来の2次元密着型イメージセンサの平面説明図である。

【図12】 図11のC-C'部分の断面説明図である。

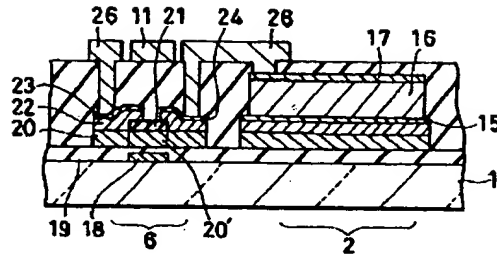
【符号の説明】

1…基板、2…受光素子、3…採光部、4…透明保護膜、5…原稿、6…薄膜トランジスタ、7…画素、9…データ線、10…ゲート線、11…バイアス線、12…遮光層、13…アナログマルチプレクサ、14…シフトレジスタ、15…金属電極、16…光導電層、17…透明電極、18…ゲート電極、19…ゲート絶縁層、20…半導体活性層、20'…チャネル領域、21…トップ絶縁層、22…オーミックコンタクト層、23…ソース電極、24…ドレイン電極、25…層間絶縁層、26…配線層

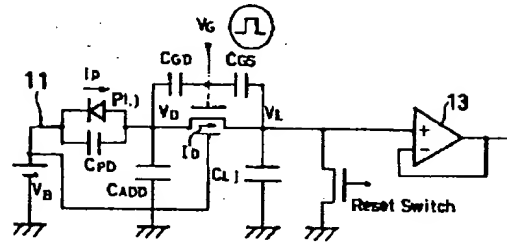
【図1】



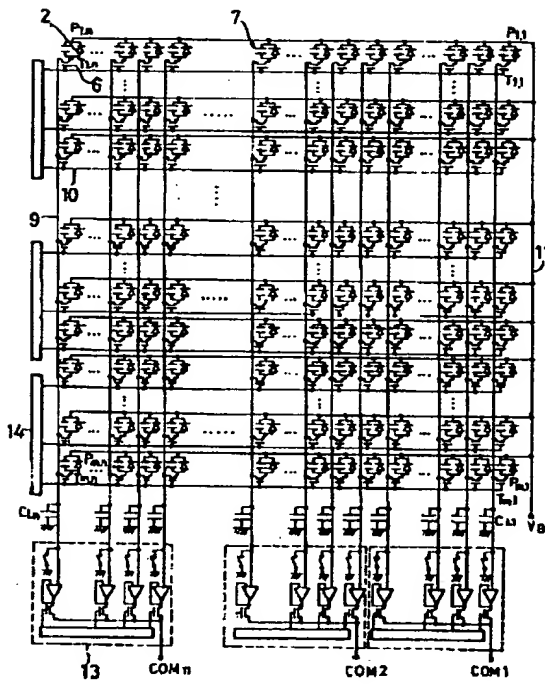
【図2】



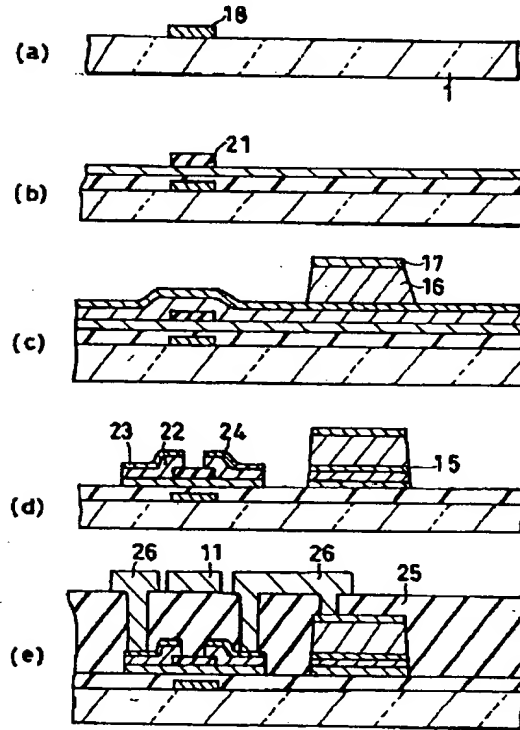
【図4】



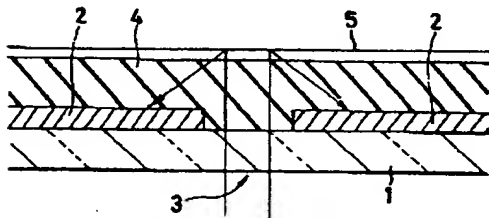
【図3】



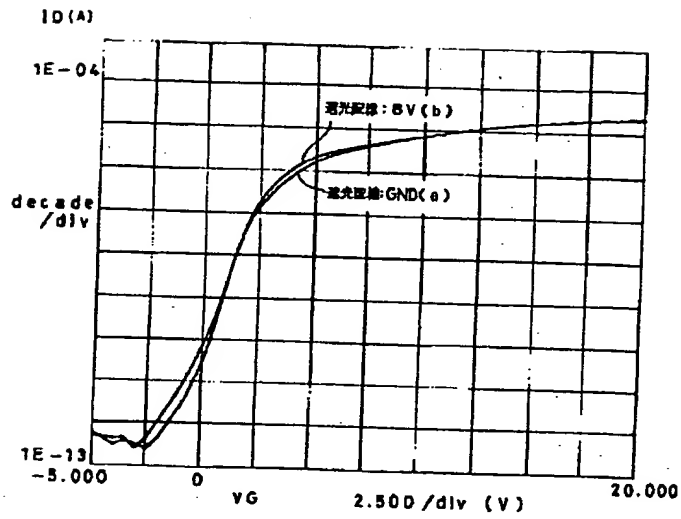
【図6】



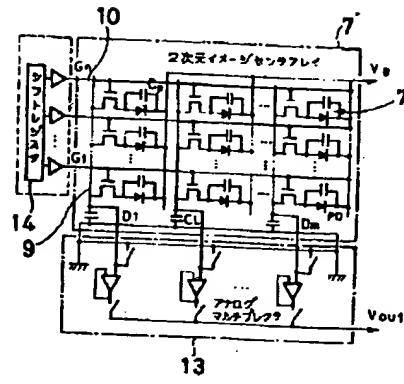
【図7】



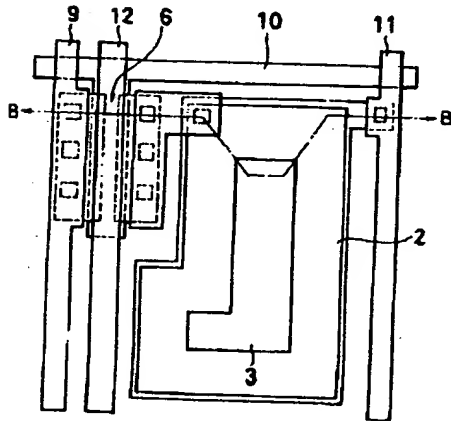
【図5】



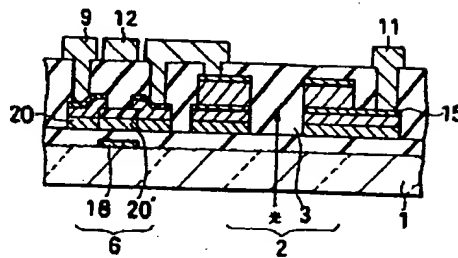
【図8】



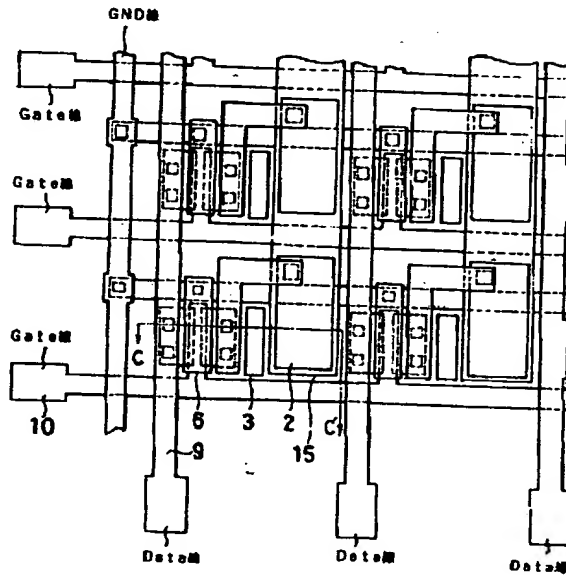
【図9】



【図10】



【図11】



【図12】

